

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-85842

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/56

G 0 6 F 13/00

H 0 4 L 13/08

3 5 3 Q 7368-5B

8020-5K

8529-5K

H 0 4 L 11/ 20

1 0 2 B

審査請求 有 請求項の数6(全 13 頁)

(21)出願番号 特願平4-339537

(22)出願日 平成4年(1992)11月27日

(31)優先権主張番号 7 9 9 8 1 2

(32)優先日 1991年11月29日

(33)優先権主張国 米国 (U S)

(71)出願人 390035493

アメリカン テレフォン アンド テレグ
ラフ カムパニー

AMERICAN TELEPHONE
AND TELEGRAPH COMPA
NY

アメリカ合衆国 10013-2412 ニューヨ
ーク ニューヨーク アヴェニュー オブ
ジ アメリカズ 32

(74)代理人 弁理士 三俣 弘文

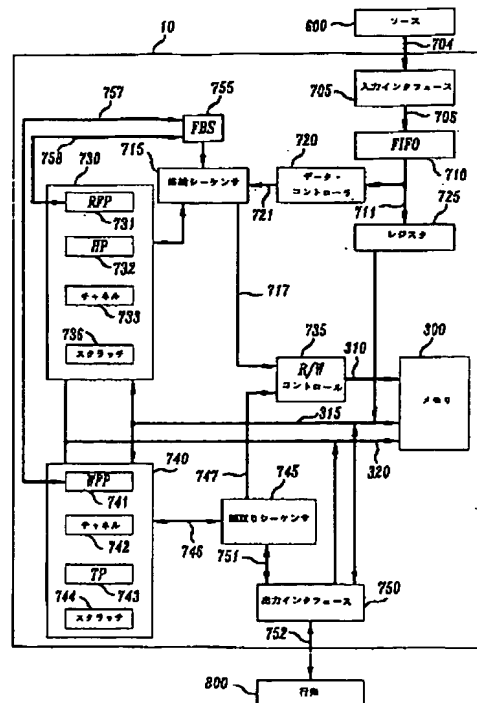
最終頁に続く

(54)【発明の名称】 通信装置

(57)【要約】

【目的】 複数のポート回路を有するパケット交換機の動作を向上する。

【構成】 ポート回路が取扱うデータ・パケットの各ソースに対しパーチャルFIFOをポート回路に含有させることにより、複数のポート回路を有するパケット交換機の動作を向上するが、ここでFIFOの格納容量は関係付けられたソースの必要に応じて増減するものである。



1

【特許請求の範囲】

【請求項1】 複数のデータ・ソースからデータ・パケットを受信する手段と、

複数のデータ・バッファと、

これらの個々のいくつかのデータ・バッファは、夫々の前記データ・ソースと関係付けられ、別のいくつかの前記データ・バッファは、データ・バッファのプールを形成するために用いられ、

前記ソースから受信されたデータ・パケットをそれらの関連するデータ・バッファに格納する手段と前記関連するデータ・バッファの1つが満杯になると動作し、前記1つのデータ・バッファの容量を増加する為に、前記プールからデータ・バッファを入手し、この入手したバッファを前記1つのバッファにリンクする手段とを有することを特徴とする通信装置。

【請求項2】 メモリを更に有し、

前記メモリは、分割されて複数のデータ・バッファを形成し、各前記データ・バッファの第1のメモリ場所が、その低位のビットが所定値に等しいメモリ場所アドレスにより識別されることを特徴とする請求項1に記載の通信装置。

【請求項3】 データパケットが関連するデータ・バッファに格納された順に、各前記関連するデータ・バッファからデータ・パケットをアンロードし、前記アンロードされたデータ・パケットを出力に供給する手段と、前記データ・バッファの関連する1つが空になると動作し、そのデータ・バッファが別の1つの前記データ・バッファにリンクされる場合、前記空のデータ・バッファを前記データ・バッファのプールに割当てて手段とを更に有することを特徴とする請求項1に記載の通信装置。

【請求項4】 データ・パケットの格納に使用でき、アンロードされる関連するデータ・バッファ内の次のメモリ場所を夫々識別する各テイルとヘッドのポインタと各前記データ・ソースが関係付けられ、

前記1つのデータ・バッファにデータ・パケットの格納に続いて動作し、前記1つのデータ・バッファで次に使用できるメモリ場所を識別するように、関連するヘッド・ポインタを増分する手段と、

前記1つのデータ・バッファからデータ・パケットのアンロードするのに続いて動作し、アンロードされる前記1つのデータ・バッファで次に使用できるメモリ場所を識別するように、関連するテイル・ポインタを増分する手段とを更に有することを特徴とする請求項1に記載の通信装置。

【請求項5】 前記1つのデータ・バッファで次に利用可能なメモリ場所を識別するヘッド・ポインタを形成する所定数の低位のビットの値が、前記増分した結果所定値に等しい場合に動作し、前記1つのデータ・バッファの容量を増加するために、前記プールから得られたデータ・バッファを前記1つのデータ・バッファにリンク

2

し、そして前記リンクされたデータ・バッファのアドレスを関連するヘッド・ポインタに格納する手段を更に有することを特徴とする請求項4に記載の通信装置。

【請求項6】 前記1つのバッファで次に利用可能なメモリ場所を識別するテイル・ポインタを形成する所定数の低位のビットの値が、前記増分した結果所定値に等しい場合に動作し、前記1つのデータ・バッファが前記拡張の結果前記データ・バッファの別の1つにリンクされる場合に前記1つのデータ・バッファを前記プールに割当てて手段を更に有することを特徴とする請求項4に記載の通信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパケット交換機で受信されたデータ・パケットをバッファリングすることに係わり、特にパケット交換機でデータ・パケットの各ソースに対し仮想FIFOメモリ・バッファを提供することに関する。

【0002】

【従来の技術】 データ・バッファ、例えばFIFOメモリ・バッファは、パケット交換機のポート回路とデータ・ソースをインタフェースするのに通常用いられる。ポート回路が、例えばレイテンシー（無意識性）、信頼性、バンド幅などを含め様々なグレードのサービスと関係付けられる複数のデータ・ソースを取扱う場合がある。このような場合には、データ・バッファは各データ・ソースに対し設けられるが、関連するパケット交換機のスループットを考慮して、そのデータ・バッファは大きいファイルの転送を取扱うことのできる大きさにされる。

【0003】

【発明が解決しようとする課題】 そこで、ポート回路が非常に多数の、例えば512のデータ・ソースを取扱っている場合、そのポートには同数のデータ・バッファが備えられなければならない。また非常に多数のデータ・バッファの管理は実に複雑なタスクであって、関係付けられるポート回路を複雑なものにする。さらに、各バッファが非常に多数のメモリ場所から形成される場合には、非常に多数のバッファのポート回路を備えるコストは実に高いものとなる。

【0004】

【課題を解決するための手段】 パケット交換の技術的進歩は次のように達成される。ポート回路により取扱われる複数のデータ・ソースの各々に対し、その関連するソースの必要に応じ動的に増減する格納容量を有する仮想FIFOを備えることにより実現される。実施例で説明すると、複数の仮想FIFOは、次のようにポート回路の内部のメモリを複数のデータ・バッファに分割することにより行われる。そこでは、いくつかのデータ・バッファは、夫々のデータ・ソースと関係付けられる。

3

【0005】残りのデータ・バッファを用いて次のようにデータ・バッファのプールを形成する。それは、ソースと関連するデータ・バッファの容量が空にされた場合には、そのデータ・バッファを、関連するデータ・バッファの容量を増加するために、プールから入手したデータ・バッファにリンクする。リンクされたデータ・バッファが空になると、それをプールに戻して関連するデータ・バッファの容量を減ずる。

【0006】

【実施例】図1は交換システムの略ブロック図で、これは複数の通信交換装置（例えば、パケット交換機）を有し、ここではそのうちの2つのパケット交換機100、200が図示される。周知のように、このようなパケット交換機は、夫々のデータ・ソース、例えばコンピュータ60-1ないし60-Nにより発信されたデータ・パケットを相互に交換するのに設けられている。1つ以上のパケット交換機が発信パケット交換機と行先パケット交換機の間の中間交換機として働く例がある。

【0007】一般的に、パケット交換機は、特にコントローラ、メモリおよびクロック回路（図示せず）を有するが、これらは関連するパケット交換機の全動作を制御するものである。またパケット交換機は複数のポート回路を有し、これらは関連する交換機を夫々（a）データ・パケット・ソースおよび／または（b）他のパケット交換機に行く通信パスとインタフェースするためのものである。

【0008】例えば、ポート回路101-1ないし101-Pは、交換機100をコンピュータ60-1ないし60-Nおよび端末50-Mとそれぞれインタフェースするが、一方トランク・ポート回路102は交換機100を交換機200に行く通信パス210とインタフェースする。このような各ポート回路は、通常各ポート・アドレスで識別され、1つ以上のチャネル・アドレス（ナンバ）と関係付けられる。ポート回路はこのようなチャネル・アドレスを用いてそのポート回路が取扱うデータ回路を夫々識別する。

【0009】交換機200もポート回路201-1ないし201-Jおよびトランク・ポート202を有し同様に構成されている。すなわち、ポート回路201-1ないし201-Jはソース70-1ないし70-Kに対するインタフェースを与え、トランク・ポート202は通信パス210に対するインタフェースを与える。ソース・コンピュータは多数のいろいろな種類のコンピュータのいずれでもよい。それらは、例えばパーソナル・コンピュータ、いわゆるワーク・ステーションまたは画像ソース（ビデオ端末）である。

【0010】さらに、複数のコンピュータはパケット交換機ポート回路に共通のインタフェース、例えばホスト・コンピュータ50-1を介して接続することができる。そこで、本実施例では、コンピュータ60-1ない

4

し60-Nは生成したデータ・パケットをホスト・コンピュータ50-1に送る。次にホスト・コンピュータ50-1は、受取ったパケットをその関連するポート回路101-1に送り、ポート回路101-1メモリ・バッファの夫々の順番場所に格納される。

【0011】通常、ポート回路メモリ・バッファはコンピュータ（または通信バス）にインタフェースを与え、それは例えば、いわゆる先入れ先出し（FIFO）メモリとすることができる。ここでは、1つまたは多数のコンピュータにより生成されたデータ・パケットは、関連するポート回路FIFOの夫々の順番場所に格納される。次に、関連するポート回路は、データ・パケットをその関連するFIFOに格納された順にアンロードし、データ・パケットをそれらの目的とする行先に送る。

【0012】例えば、コンピュータ60-1ないし60-Nの大部分のコンピュータがアクティブである場合のようなある状態下では、ポート回路101-1はホスト50-1を介してデータ・パケットの定常的な流れを受信することがある。さらに、コンピュータ60-1ないし60-Nの1つ以上のコンピュータが、交換機100または別の交換機、例えば交換機200のいずれかと関連する、他のコンピュータに非常に大きいファイルを転送するのに従事している場合もある。このような場合には、ホスト50-1とポート回路101-1の間のバッファ・インタフェースはオーバロードされ、そのため1つ以上のデータ・パケットが失われてしまうことが起る場合もある。

【0013】前述のように、この問題の取扱いについて、1つの従来技術の方式では、各コンピュータ60-1ないし60-Nに対して、ポート回路入力バッファ、例えばFIFOを備えて対処される。さらに、このような各入力バッファは、通常関連するパケット交換機の容量を考慮して非常に大きいファイルの転送を取扱うことのできる大きさにされる。Nが大きい数、例えば512である場合には、その数に対応する数のポート回路入力バッファが備えられなければならない。さらに、このような各バッファが、非常に多数のメモリ場所から形成される場合には、これらのバッファを備えるコストは実に高いものとなる。

【0014】この問題を本発明者らは次のように対処する。それは、データ・パケットの平均的な流れを収容できる大きさを有する小さいバッファを各コンピュータ60-1ないし60-Nに初め割当て。そして本発明では、このようなバッファの容量を関連するソース・コンピュータにより生成されるデータ・パケットの流れの増加を収容できるように動的に拡張させる。ここで本発明の説明を続ける前に、次のデータ・パケットのフォーマット例を説明する。

【0015】それはポート回路、例えば回路101-1がその入力力で受信し、関連するデータ・バッファに格納

5

するものである。図2にデータ・パケットのフォーマット例を示すが、これはデータ情報フィールド20とヘッダ21を有する。周知のように、コンピュータ、または端末、例えばコンピュータ60-1が他のコンピュータに送るデータは、情報フィールド20に挿入される。また一般的に、パケット・ヘッダは、なかでも通常のエラー・チェック・フィールド21-1、パケットの発信者のアドレスを識別するOAフィールド21-2およびパケットの目的とする受信者（行先）を識別するDAフィールド21-3を有することは周知である。

【0016】本発明の実施例では、OAフィールド21-2に挿入される発信者のアドレスに次のものを含むことができる。それらは、(a) データの送信者と関連するチャンネル・ナンバ、(b) 関連するパケット交換機ポート回路のアドレスおよび(c) 関連するパケット交換機のアドレスである。DAフィールド21-3の内容も同様の構成とすることができる。図3はポート回路、例えばポート回路101-1またはトランク・ポート102の内部にあるメモリ300のブロックを示す。

【0017】図3において、メモリ300はいくつかのセクション、ここではセクション301ないし304に分割される。セクション301は、多数のデータ・バッファ、例えば1792のバッファで、ここではバッファ301-1ないし301-Pで示される、を有する。このような各データ・バッファは、メモリ300の所定数のバイト、例えば128バイト、ただし各バイトは8ビットを有する、から形成される。まずパワーがポート回路に加えられ、ポート回路が“ブートアップ”されると、ポート・コントローラ（図示せず）がデータ・バッファを初期化する。

【0018】その際に、ポート・コントローラは各その関連するチャンネル・アドレスに各データ・バッファを割当て、残りのデータ・バッファを“フリー”（割当てられていない）であるとマークする。例えば、ポート回路が512のチャンネルと関係付けられるとすると、512のチャンネルは夫々のデータ・バッファ（例えば、バッファ1ないしM）に初めに割当てられる。残りの1280のデータ・バッファ（例えば、バッファM+1ないしP）はフリーとマークされる。本発明においては、このフリーのデータ・バッファを用いて必要に応じ割当てられたデータ・バッファの容量を動的に増加する。

【0019】例えば、コンピュータ、例えばコンピュータ60-1は、コンピュータ60-1と関連するチャンネル・ナンバに割当てられたデータ・バッファからデータ・パケットをポート回路101-1がアンロードできる速度より速い速度で、データ・パケットを送っていると仮定する。また、図6に示すように、割当てられたデータ・バッファはデータ・バッファ601であると仮定する。そして結果として、データ・バッファ601は時間t₀でいっぱいになる。そしてコンピュータ60-1に

6

より現在要求されるデータ・バッファ容量を増加するために、次のことが本発明では行われる。

【0020】それは、ポート回路101-1は、時間t_aにおいて先のデータ・バッファにフリー・データ・バッファ602をリンクさせて、割当てられたデータ・バッファの容量を増加する。そしてポート回路101-1は、コンピュータ60-1から新しく受信したデータ・パケットをリンクされたデータ・バッファ602に格納する。バッファ602がいっぱいになると、ポート回路101-1は、時間t_bにおいて先にリンクされたデータ・バッファ602に別のフリー・データ・バッファ603をリンクする。一般的な場合として、コンピュータ60-1がさらなるデータ・バッファ容量を必要とする限りポート回路101-1はフリー・データ・バッファを互いにリンクし続ける。

【0021】本実施例では、3つのバッファが適当であると仮定する。ポート回路101-1が初めに割当てたデータ・バッファ601からそこに格納されたデータの最後をアンロードすると、ポート回路101-1はバッファ601をフリーであるとマークする。そして、ポート回路101-1は、時間t_cにおいてバッファ602を関連するチャンネル・ナンバに割当てる。同様にして、ポート回路がバッファ602からそこに格納されたデータの最後をアンロードすると、ポート回路101-1は、時間t_cで示されたように、バッファ602をフリーであるとマークする。

【0022】そして、ポート回路101-1はバッファ603を関連するチャンネル・ナンバに割当てる。しかし、本発明では、このようなリンクされたデータ・バッファの最後のもの、すなわちバッファ603は、フリーとマークされないで、時間t_dにおいて示すように、バッファ603が空の場合でも関連するチャンネルに割当てられたままであり、これについては後述する。このように、本発明では、ポート回路101-1により取扱われるコンピュータと関連する各ポート回路チャンネル・ナンバは、いわゆる仮想FIFOが割当てられるが、その容量は必要に応じ増減することができるものである。

【0023】ポート回路101-1は、図3に示すように、関連するチャンネル・ナンバに割当てられたチャンネル・レコードを保持して仮想FIFOを形成するデータ・バッファのこのようにリンクしたりまたアンリンクしたりするのを追跡する。具体的に説明すると、チャンネル・レコードはメモリ300のセクション302に格納され、各チャンネル・ナンバを用いてインデックス付けすることができる。例えば、チャンネル・レコード1はチャンネル1と関係付けられ、チャンネル・レコード2はチャンネル2と関係付けられるなど以下同様である。このように、ポート回路は、関連するチャンネル・レコードをアクセスするのにメモリ・セクション302インデックスとしてチャンネル・ナンバを用いる。

7

【0024】図4で略述すると、チャンネル・レコードは複数のフィールドを有し、各ポイントと他の情報を格納する。それらポイントには次のものがある。ヘッド・ポイント（HP）302-11で、これは各チャンネル・ナンバに現在割当てられている最後のデータ・バッファの最後のデータ・エントリを指し、およびテイル・ポイント（TP）302-21で、これはデータ・バッファの連鎖のある場合の最初のデータ・バッファの最初のデータ・エントリを指すものである。他の情報はフィールド302-22に挿入される。

【0025】図3において、データ・バッファの連鎖のある場合にそれを形成するデータ・バッファ間のリンクしているのをメモリ300のセクション303を形成するバッファ・リンク・レコードにより追跡される。すなわち、データ・バッファの連鎖でデータ・バッファと関連するセクション303リンク・レコードは、その連鎖で次に続くデータ・バッファのアドレスを識別する。本発明の実施例では、メモリ・セクション303リンク・レコードは、いわゆるロジカル・インデックスを用いてアクセスされる。本発明の実施の際には、特定のスクラッチ・レジスタの内容を右に5ビット場所だけシフトして、次に各2つの低位ビット場所にゼロを挿入して、ロジカル・インデックスを生成する。

【0026】そして、特定のセクション303リンク・レコードは、ロジカル・インデックスでインデックス付けされたメモリ・セクション303の開始アドレスを用いてアクセスされる。メモリ300のセクション304は、利用できるデータ・バッファ、すなわち“フリー”・データ・バッファを識別するアドレスを格納するために通常の循環レジスタとして役立つ。前記初期化中では、関連するポート回路、例えばポート101-1はメモリ・セクション304の順番場所に夫々の“フリー”データ・バッファのアドレスを格納する。

【0027】本発明の実施例では、後述するように、ポイント（読取りフリー・ポイント）を用いて次のフリー・データ・バッファのアドレスを含むセクション304場所を識別する。また後述するように、もはやデータを含まない、すなわち利用可能とされる（フリーの）リンクされたデータ・バッファのアドレスは、別のポイント（書込みフリー・ポイント）により識別されるセクション304場所に格納される。次に図5について説明すると、インタフェース回路705は、ソース600、例えばホスト・コンピュータ50-1からデータ・パケットの流れを受信するように設けられる。

【0028】このようなデータ・パケットの発信者は、ソース600が取扱う装置、例えばコンピュータ60-1ないし60-Nであってもよい。入力インタフェース回路705は、なかでもデータ・ワード（バイト）をバス706経由で通常のメモリFIFO710の順番メモリ場所に受信されるように格納するが、そこで複数のこ

8

のようなデータ・バイトが各データ・パケットを形成する。データ・コントローラ720は、FIFO710に格納されたデータ・バイトを各データ・バッファに転送する手段の1つとして役立つ。特に、コントローラ720は、データ・パケット4バイト（ワード）を一度にそのバイトがFIFO710に格納された順にアンロードする。

【0029】コントローラ720は、次にバス711経由でレジスタ725にアンロードされたデータ・バイトを格納する。そして、コントローラ720は、バス711経由でレジスタ725の内容をチェックし、このような内容がチャンネル・ナンバを表わすかどうかを決め、それによりパケットの開始を表示する。そうでない場合には、コントローラ720は、入力データ・パケットのデータ・バイトの新しいセットがレジスタ25に格納されたことをシーケンサ715に通知する。新しく到着したチャンネル・ナンバはレジスタ725に格納されたと仮定する。

【0030】そしてその場合には後述するように、シーケンサ715により、レジスタ732に含まれそしてシーケンサ715により処理された前のデータ・パケットと関連する特定の情報が各チャンネル・レコードに格納される。次にシーケンサ715は、新しいチャンネル・ナンバをデータ・バス315に出力するようレジスタ725に指図し、そのためそのナンバはチャンネル・レジスタ733にラッチされることになる。そして、シーケンサ715は、チャンネル・レジスタ733に含まれた新しいチャンネル・アドレスと関連するチャンネル・レコードをメモリ・セクション302からアンロードする。

【0031】その際に、シーケンサ715は、レジスタ733の内容によりインデックス付けられたメモリ・セクション302の開始アドレスをアドレス・バス320上に送出する。そして、シーケンサ715は、リード線310上に読取り信号を示すようR/W（読取り/書込み）コントロール回路735をプロンプトする。メモリ300は、それに応答しかつ通常の方法で、アドレスされたセクション302場所の内容を読取りそしてデータ・バス315に出力する。次にシーケンサ715により、データ・バス315上に現れる情報と特に前記データ・バッファ・ヘッド・ポイント（HP）に関する値がレジスタ732に格納される。

【0032】そして、シーケンサ715は、データ・バイトの次のセットがレジスタ725に格納されたことを示すコントローラ720通知のバス721経由の受信を待つ。そのような通知に応答して、シーケンサ715により、レジスタ725の内容がデータ・バス315上にレジスタ732の内容がアドレス・バス320上にそれぞれ送出される。次に、シーケンサ715は、リード線310上に書込み信号を示すようR/Wコントロール735をプロンプトし、それによりメモリ300にバス3

15上に現れる情報をアドレスされたデータ・バッファに格納させる。

【0033】次に、シーケンサ715は、所定値、例えば4の値だけHPレジスタ732の内容を増分し、そのためその内容はレジスタ733に含まれるチャンネル・ナンバと現在関連するデータ・バッファの次の場所を指す。そして、シーケンサ715は次のそのような通知の受信を待つ。同様に、コントローラ720はFIFO710から次の4データ・バイトをアンロードし、それらをレジスタ725に格納する。レジスタ725に現在格納されているデータ・バイトはレジスタ733に格納されたチャンネル・ナンバと関連するデータ・パケットの一部であると仮定する。

【0034】その場合には、コントローラ720は、前述のようにその事実をシーケンサ715に通知する。シーケンサ715は、前述の方法でHPレジスタ732の現在の内容により識別されるデータ・バッファ場所にデータ・バイトを格納する。シーケンサ715は、前述のように次に、レジスタ732を増分する。関連するポート回路は、次のようにレジスタ725に逐次格納されたデータ・バイトを処理し続ける。そのレジスタがレジスタ733に現在含むチャンネル・ナンバと異なるチャンネル・ナンバを含むまでそれを続け、それによりおそらく別のチャンネル・ナンバと関連するデータ・パケットの開始を示すものである。

【0035】その場合には、シーケンサ715によりレジスタ732に含まれるヘッド・ポインタがレジスタ733に現在含まれるチャンネル・ナンバに関連するチャンネル・レコードに格納される。シーケンサ715は次のようにしてそのタスクを行う。それはレジスタ733の内容およびメモリ・セクション302開始アドレスをアドレス・バス320上に送出させることによる。さらに、シーケンサ715によりレジスタ732の内容がデータ・バス315上に送出される。次にシーケンサ715は、リード線310上に書込み信号を示すようにR/W回路735をプロンプトする。メモリ300は、それに応答して、アドレスされたチャンネル・レコードにバス315上のデータを格納する。

【0036】前述のように、データ・バッファは、次のように例えば、128データ・バイトを有する。それは、このような各データ・バッファはセクション301メモリの128バイト境界で開始する。127の最大カウントを追跡するのに7バイナリ・ビットを用いることができるので、HPレジスタ732の内容の最低位の7ビットを用いてデータ・バッファがいっぱいになる時を示すことができる。従って、レジスタ732が124のカウントを含み、4の値だけ増分される場合には、レジスタ732の内容の低位の7ビットはゼロの値を有することになり、それにより関連するデータ・バッファはいっぱいであることを示す。

【0037】データ・バッファが満杯になる時を決めるために、そのレジスタを増分する度ごとにシーケンサ715はレジスタ732の内容を“テスト”する。シーケンサ715は、レジスタ732の低位の7ビットがゼロに等しいことを見出すと、シーケンサ715は、レジスタ733に含まれるチャンネル・ナンバと関係付けられる現在“いっぱい”であるデータ・バッファにフリー・バッファをリンクする。次の“フリー”・データ・バッファの場所を追跡するために、初期化中、ポート回路はRFP（読取りフリー・ポインタ）レジスタ731の最初のセクション304メモリ場所のアドレスを格納し、およびWFP（書込みフリー・ポインタ）レジスタ741の最後のセクション304メモリ場所のアドレスを格納する。

【0038】さらに、関連するポート回路は、最初のフリー・データ・バッファのアドレスをメモリ・セクション304の最初の場所に格納する。またこのポート回路は、各続きのセクション304場所に残りのフリー・データ・バッファのアドレスを格納する。従って、シーケンサ715は、フリー・データ・バッファをレジスタ733に含まれるチャンネル・ナンバに割当てられたいっぱいになったデータ・バッファにリンクして、データ・バッファの連鎖、すなわち仮想FIFOを生成することができる。そのためには、シーケンサ715はフリー・バッファを入手して、そのバッファをいっぱいになったデータ・バッファにリンクする。

【0039】特に、シーケンサ715により、RFPレジスタ731の内容によりインデックス付けされたメモリ・セクション304のメモリ場所のアドレスがアドレス・バス320上に送出される。そしてシーケンサ715は、リード線310上に読取り信号を示すようにR/Wコントロール735をプロンプトする。メモリ300は、それに応答して、アドレスされたメモリ304場所の内容を読取りそしてデータ・バス315上に送出する。次に、シーケンサ715により、データ・バス315上に現れる情報がスクラッチ・レジスタ736に格納される。

【0040】そして、シーケンサ715は次のようにして、新しく得られたデータ・バッファをいっぱいになったバッファにリンクする。それらは、(a) スクラッチ・レジスタ736の内容がデータ・バス315上に送出されるようにすること、および(b) HPレジスタ732の内容から導かれたロジカル・インデックスにより修正されたメモリ・セクション304のアドレスがアドレス・バス320上に送出されるようにすることである。そしてシーケンサ715は、書込み信号をリード線301上に示すようにR/Wコントロール回路をプロンプトする。メモリ300は、それに応答して、いっぱいになったデータ・バッファと関連するセクション303リンクに新しく得られたバッファのアドレスを格納する。

11

【0041】そして、シーケンサ715により、データ・バス315上に送出されたデータ・バッファ・アドレスがHPレジスタ732に格納される。さらに、シーケンサ715はRFPレジスタ731の内容を1の値だけ増分し、そのためそのような内容は次のフリー・データ・バッファのアドレスを含むメモリ・セクション304場所を指す。(ここで留意事項として、レジスタ731は次のようなモジュロkカウンタとして設けられる。それはレジスタ731の内容がkの値に達し、そしてそのレジスタが増分される場合には、そのような内容は自動的にサイクルしてメモリ・セクション304の最初の場所を指すものである。)

【0042】目的とする行先に引渡すためにメモリ300データ・バッファからデータ・ワードをアンロードするのは、出力インタフェース750から各リクエスト・メッセージの受信にตอบสนองして読取りシーケンサ745により取扱われる。このようなリクエスト・メッセージの発信者は別の回路であってもよく、それが関連するパケット交換機に含まれることもでき、またバス752経由でインタフェース750と通信する。または、このようなリクエストの発信者(“リクエスト発信者”)は、関連するパケット交換機の外部にあってもよい。

【0043】行先800は、メモリ300に格納されたデータ・パケットの目的とする様々な受信者を示す。バス752の点線部は、次のようなバスを表す。それは、関連するパケット交換機、例えば交換機100を通るバスであり、またそのような受信者に達するのに通ることのできる通信バスで、そのような通信バスは1つ以上の別のパケット交換機を通るルートとされていてよい。とりわけ、特定のチャネル・ナンバと関連するデータ・パケットは、その特定のチャネル・ナンバを識別するリクエスト・メッセージをバス752経由で出力インタフェース750にまず送ることによりメモリ300からアンロードされることができる。

【0044】出力インタフェース750は、このメッセージの受信にตอบสนองして、リクエスト・メッセージ中に含まれたチャネル・ナンバをバス751経由で読取りシーケンサ745に通知しかつデータ・バス315に出力する。読取りシーケンサ745は、そのような通知にตอบสนองして次のことを行う。(a)バス315上に現れるチャネル・ナンバがチャネル・レジスタ742に格納され、および(b)メモリ300からそのチャネル・ナンバと関連するレコードを得る。すなわち、読取りシーケンサ745は、(a)レジスタ742に格納されたチャネル・ナンバでインデックス付けされたメモリ・セクション302の開始アドレスをアドレス・バス320上に送出し、(b)R/W回路にリード線301上に読取り信号を示させる。

【0045】同様に、メモリ300は、それにตอบสนองして、アドレスされたチャネル・レコード場所に格納され

12

た情報のコピーをデータ・バス315に出力する。次にシーケンサ745により、データ・バス315に現れるチャネル・レコードのテイル・ポインタ(TP)フィールドに含まれる情報がTPレジスタ743に格納される。そして、シーケンサ745は、レジスタ743の内容により識別されたデータ・バッファ場所に格納されたデータを読取るようにリクエストを待つ。

【0046】本発明の実施例では、読取りシーケンサ745は、出力インタフェース750経由で受信するデータに対する各リクエストに1つのデータ・バッファ場所をメモリ300からアンロードする。従って、レジスタ742に格納されたチャネル・ナンバと関係付けられ格納されたデータ・パケットを得るためには、前記発信者は出力インタフェース750に一連のデータ・リクエストを送る。次に、出力インタフェース750は、受信された通りの各リクエストをバス751経由でシーケンサ745に送る。

【0047】または、リクエスト発信者は、インタフェース750経由でチャネル・レコードのコピーを得ることができる。これで、リクエスト発信者は、そのようなデータの全部もしくは一部を得るためにシーケンサ745に送られる必要があるリクエストのナンバを決めることができる。具体的には、レジスタ742に格納されたチャネル・ナンバと関連するデータに対するリクエストの受信にตอบสนองして、読取りシーケンサ745により、TPレジスタ743の内容がアドレス・バス320上に送出される。さらに、読取りシーケンサ745は、リード線301上に読取り信号を示すようR/Wコントロール回路735をプロンプトする。

【0048】同様に、メモリ300は、それにตอบสนองして、アドレスされたデータ・バッファ場所の内容を、読取りかつデータ・バス315上にインタフェース750に引渡すように送出する。次に出力インタフェース750は、バス315上に現れるデータをバス752に出力する。上記に続き、読取りシーケンサ745は、所定値、例えば4だけTPレジスタ743の内容を増分し、そのためそのような内容は読取られうるデータ・バッファの次の場所を指す。従って、シーケンサ745は、次に続くデータ・リクエストまたはチャネル変更リクエストの受信にตอบสนองして前述のように動作する。

【0049】チャネル変更リクエストにตอบสนองして、シーケンサ745は次のことを行う。

(a)レジスタ742に含まれるチャネル・ナンバと関係付けられるセクション302レコードのTPフィールドにレジスタ743の内容を格納する。(b)新しいチャネル・ナンバをデータ・バス315に出力するように出力インタフェース750に指図する。それから(c)データ・バス315の内容がレジスタ742にラッチされるようにする。そして、読取りシーケンサ745は、説明した方法で新しく受信したチャネル・ナンバに関連

10

20

30

40

50

13

するセクション302レコードを得て、それからデータ・リクエストの受信を待つ。

【0050】格納シーケンサ715と同様に、読取りシーケンサ745もそのような内容が増分される度ごとにレジスタ743の内容の値をチェックする。シーケンサ745がそのような内容の低位のビット、例えばビット0ないし6、がゼロに等しいことを見出した場合には、シーケンサ745は、アドレス指定したデータ・バッファは空であると結論する。その例においては、読取りシーケンサ745は、レジスタ742に格納されたチャンネル・ナンバに関連する連鎖の1つである場合には、データ・バッファをアンリンクし、そしてアンリンクされたバッファをフリー・データ・バッファのセクション304リストに加える。

【0051】特に初期化中では、関連するポート回路は、シーケンサ745により完全にアンロードされた次のデータ・バッファのアドレスを入力するのに使用される次のセクション304場所のアドレスをWFPレジスタ741に格納する。その後、空のデータ・バッファのアドレスをフリー・リスト、またはプールに加えるためには、シーケンサ745により、レジスタ743の内容がデータ・バス315上にレジスタ741の内容がアドレス・バス320上にそれぞれ送出される。

【0052】そして、シーケンサ745は、リード線301上に書き込み信号を示すようにR/Wコントロール回路をプロンプトする。メモリ300は、それに応答して、アドレスされた場所にデータ・バス315上に含まれた情報を格納する。さらに、シーケンサ745により、データ・バス315上に含まれた情報がスクラッチ・レジスタ744に格納される。上記に続き、シーケンサ740はレジスタ741の内容を増分し、そのためそれはフリー・データ・バッファのアドレスを入力するのに使用されるメモリ・セクション304の次の場所を指す。

【0053】連鎖からフリー・データ・バッファをアンリンクするためには、前に説明したように、シーケンサ745はスクラッチ・レジスタ744の内容の役割として（アンリンクされたバッファのアドレス）ロジカル・インデックスを生成する。そしてシーケンサ745により、そのロジカル・インデックスによりインデックス付けられたメモリ・セクション303のアドレスがアドレス・バス320上に送出される。そして、シーケンサ745は、リード線310上に読取り信号を示すようにR/Wコントロール回路735をプロンプトする。

【0054】メモリ300は、それに応答して、アンリンクされたバッファと関連するバッファ・リンクの内容をデータ・バス315に出力するが、ここではこのような内容は連鎖の次のリンクされたバッファのアドレスである。次にシーケンサ745により、データ・バス315上に現れる情報はTPレジスタ743に格納される。

14

空のデータ・バッファがデータ・バッファの連鎖の1つでない場合には、空のデータ・バッファはレジスタ742に含まれたチャンネル・ナンバに関連するままである。

【0055】本発明の実施例において、回路10はまたフリー・バッファ・ステータス(FBS)回路755を有することができ、これはレジスタ731とレジスタ741の内容を追跡するように動作する。すなわち、FBS回路755は、フリー・データ・バッファが利用可能でない時は必ずシーケンサ715に通知するために設けられる。特に、FBS回路755は、すべてのデータ・バッファが使用されているような事例を追跡するためにレジスタ731の内容をレジスタ741の内容と比較する。

【0056】すなわち、レジスタ731とレジスタ741が同じ値を有する場合には、両レジスタは同じメモリ・セクション304場所を指しており、それによりフリー・バッファが利用可能でないことを表わしている。そのような状態が起きている場合には、FBS回路755はシーケンサ715にリード線756を介してその事実を通知する。シーケンサ715は、それに応答して、メモリ300にデータ・バイトを格納するのを停止する。以上の説明は、本発明の一実施例に関するもので、この技術分野の当業者であれば、本発明の種々の変形例が考え得るが、それらはいずれも本発明の技術的範囲に包含される。

【0057】

【発明の効果】以上述べた如く、本発明の装置により従来に比べパケット交換機の動作は向上する。すなわち、複雑で管理もむつかしくかつコスト的にも不利な従来の装置に比べ、これらの問題点を解消する動作の向上したパケット交換機を本発明により提供することができる。

【図面の簡単な説明】

【図1】本発明が実現できる通信交換システムを示す略ブロック図である。

【図2】データ・パケットのフォーマット例を示す図である。

【図3】図1に示すポート回路の特定回路の内部のメモリが本発明により分割される方法例を示す図である。

【図4】図3に示すチャンネル・レコードのレイアウト例を示す図である。

【図5】図1に示すポート回路の略ブロック例を示す図である。

【図6】本発明の仮想FIFOが伸縮する方法例を示す図である。

【符号の説明】

- 10 回路
- 20 データ情報フィールド
- 21 ヘッダ
- 21-1 エラー・チェック・フィールド
- 21-2 OAフィールド

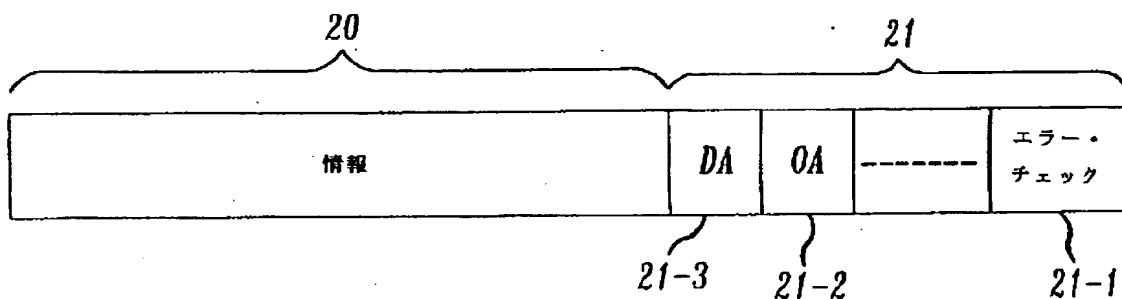
15

21-3 DAフィールド
 50-1 ホスト・コンピュータ
 50-M 端末
 60-1 コンピュータ
 60-N コンピュータ
 70-1 ソース (コンピュータ)
 70-K ソース (ビデオ)
 100 パケット交換機
 101-1 ポート回路
 101-P ポート回路
 102 トランク・ポート回路
 200 パケット交換機
 201-1 ポート回路
 201-J ポート回路
 202 トランク・ポート回路
 210 通信バス
 300 メモリ
 301 セクション
 301-1 データ・バッファ1
 301-2 データ・バッファ2
 301-M データ・バッファM
 301-M+1 データ・バッファM+1
 301-P データ・バッファP
 302 セクション (チャネル・レコード)
 302-11 ヘッド・ポインタ
 302-21 テイル・ポインタ
 302-22 他の情報
 303 セクション (リンク・レコード)
 304 セクション
 310 リード線

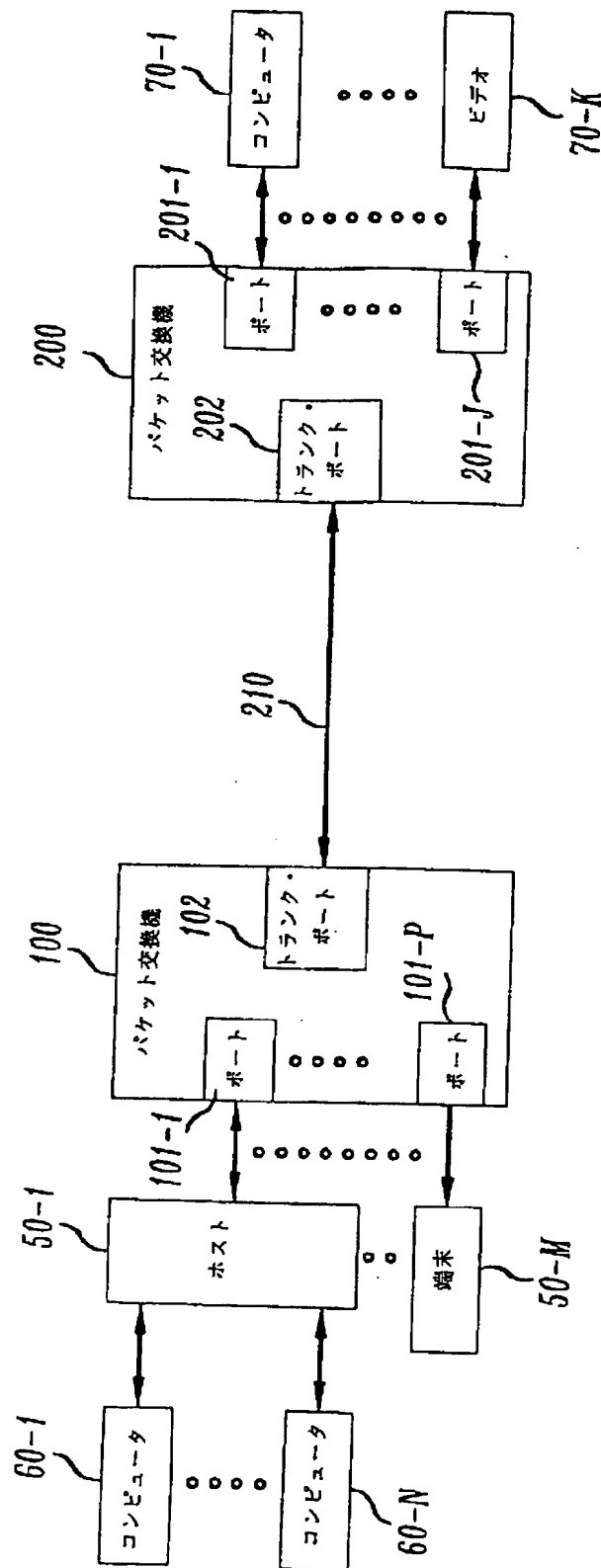
16

315 データ・バス
 320 アドレス・バス
 600 ソース
 601 データ・バッファ
 602 フリー・データ・バッファ
 603 フリー・データ・バッファ
 705 入力インタフェース回路
 706 バス
 710 メモリFIFO
 10 711 バス
 715 格納シーケンサ
 720 データ・コントローラ
 721 バス
 725 レジスタ
 731 RFP (読取りフリー・ポインタ) レジスタ
 732 HP (ヘッド・ポインタ) レジスタ
 733 チャネル・レジスタ
 735 R/W (読取り/書込み) コントロール回路
 736 スクラッチ・レジスタ
 20 741 WFP (書込みフリー・ポインタ) レジスタ
 742 チャネル・レジスタ
 743 TP (テイル・ポインタ) レジスタ
 744 スクラッチ・レジスタ
 745 読取りシーケンサ
 750 出力インタフェース
 751 バス
 752 バス
 755 フリー・バッファ・ステータス (FBS) 回路
 756 リード線
 30 800 行先

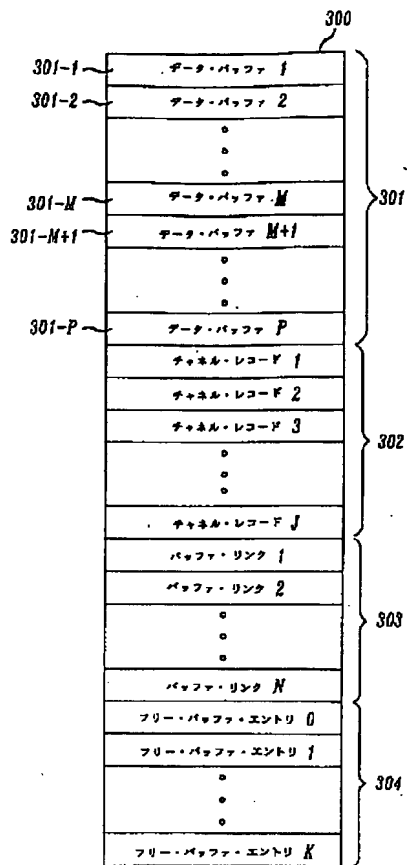
【図2】



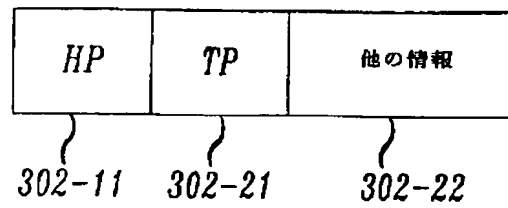
【図 1】



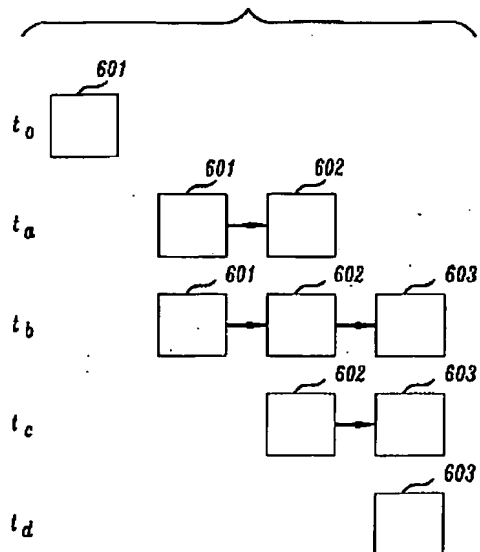
【図 3】



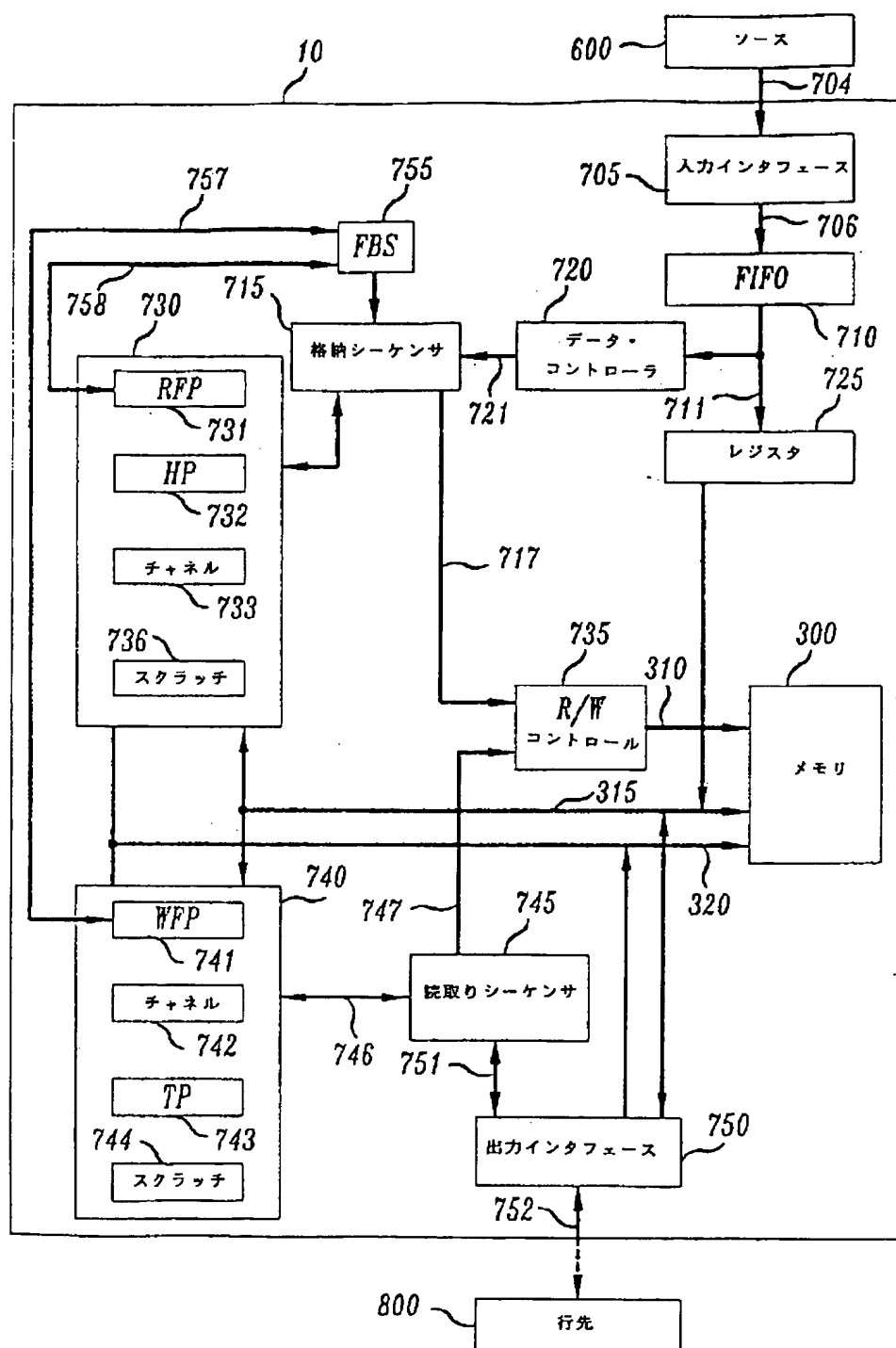
【図 4】



【図 6】



【图 5】



フロントページの続き

(72)発明者 デヴィド アール、フォレ
アメリカ合衆国 07876 ニュージャージー
ー サッカサンナ、コーンホロー ロード
43

(72)発明者 キャロル エー、ツアジー
アメリカ合衆国 07961 ニュージャージー
ー モーリスタウン、ブラッドレー ロー
ド 2